# 一．介绍

1.1特性  
■电压供应  
- VCC: 2.5v (2.35v ~ 2.75v)  
- VCCQ: 1.2v (1.14v ~ 1.26v)

组织  
-页面大小:(16K + 2K) x字节  
—数据寄存器:(16K + 2K) x字节  
-块大小:(48.375M + 6192K)字节

—单位设备容量:(48375m + 6192K) Byte x738  
  
自动编程和擦除  
-页面程序:(16K + 2K)字节  
- Block Erase: (48375m + 6192K) Byte

•页面读取操作  
—随机读取:4KB/8KB/16KB B = 65s/65s/65s (type .)  
—数据传输速率最高可达1.2Gbps或600MHz

•写周期时间  
-页面程序时间:1ms(打字)  
-块擦除时间:5ms(输入)

·命令/地址/数据复用DQ端口

·切换模式DDR数据接口

·硬件数据保护  
-电源转换期间的程序/擦除锁定

可靠的CMOS电荷陷阱闪光技术  
—ECC要求:240b/2KB

·命令驱动操作

可扩展的DQ驱动

·控制器需要随机化功能

## 1.2 描述

Toggle DDR是一个用于高性能应用的NAND接口，它支持使用双向DQS进行数据读写操作。  
切换DDR NAND在没有时钟的情况下实现了“双数据速率”。它兼容传统类型NAND中支持的功能和命令。（SDR NAND)，同时基于高速Toggle DDR接口提供高数据传输速率，并通过分离DQ电压节省功耗。对于需要高容量和高性能NAND的应用，Toggle DDR NAND是最合适的。

切换DDR4.0 NAND支持高达600 MHz的接口速度(每引脚1.2Gbps或1.2GT/s)。切换式DDR NAND利用DQS信号作为时钟进行高速数据传输，只有在传输数据时才使用DQS，以达到最佳功耗。

DDR是什么，DQS是什么

## 1.5定义和缩写列表

**DDR**双数据速率的缩写

**地址**  
地址由2个周期的列地址和3个周期的行地址组成。行地址标识需要访问的页面、块和LUN。列地址标识要访问的页中的字节。列地址的最低有效位始终为零。

**列**页寄存器内的字节位置。  
**行**请参考要访问的块和页面。  
**页面**用于读取和程序操作的最小可寻址单元。  
**块**由多个页组成，是Erase操作的最小可寻址单元。

**页寄存器Page register**用于向闪存阵列传输数据和从闪存阵列传输数据的寄存器。  
**缺陷区域Defect area**缺陷区域是制造商标记工厂缺陷的地方。参考3.2节。  
**设备**封装的NAND单元。一个设备可能包含多个目标。

LUN (Logical Unit Number)  
能够独立执行命令和报告状态的最小单元。每个CE包含一个或多个lun。  
**目标**一个独立的NAND闪存组件，有自己的CE信号。  
**SR[x] (Read Status)**SR是指包含在特定LUN中的状态寄存器。SR[x]表示关联LUN状态寄存器的第x位。  
关于状态寄存器中位含义的定义，请参见第5.2.13章。  
**VREFQ**

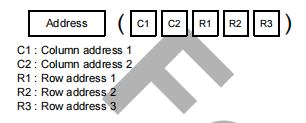
输入参考电压。  
**VTT**输出A的终止电压

## 1.6图形例子

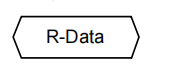
此图例显示命令数据。有关命令数据的更多信息，请参见表32。



此图例显示Address数据。地址由2个列地址和3个行地址组成。



此图例显示主机正在向设备写入数据(数据输入)。

此图例显示主机从设备读取数据(数据输出)。

此图例显示主机正在读取特定LUN内的状态寄存器。

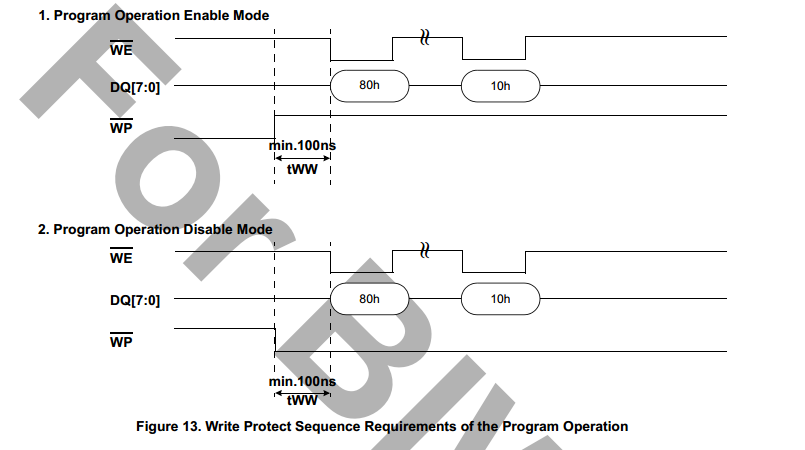
二．物理接口

## 2.14 带ODT的高速切换DDR

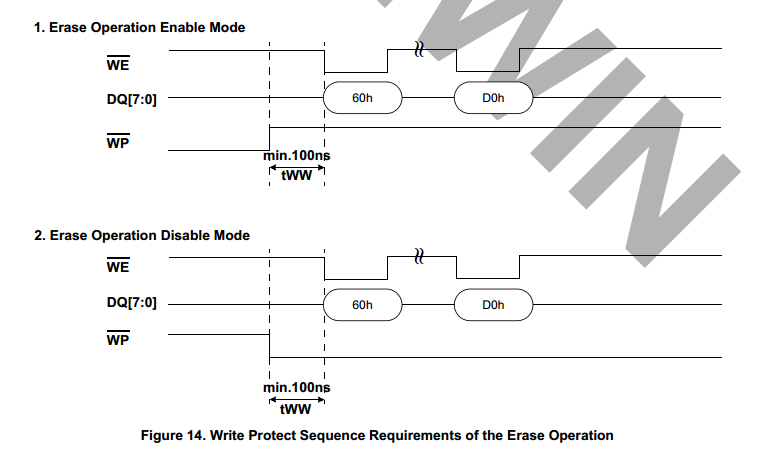
后面回看

## 2.16 写 保护

启用WP时，闪存阵列将被阻止执行任何编程和擦除操作。只有当目标处于空闲状态时，才能转换此信号。一旦启用WP，主机应被允许在tWW之后发出新命令。



写保护反转tWW时间后，主机发出新命令。



擦除序列类似

# 三，存储器结构

一个设备包含一个或多个目标。一个目标由一个CE信号控制。一个目标被组织成一个或多个逻辑单元（LUN）。

逻辑单元（LUN）是能够独立执行命令和报告状态的最小单元。具体来说，独立的LUN可以并行操作任意命令序列。例如，允许在 LUN 0 上启动页面编程操作，然后在操作完成之前在 LUN 1 上启动读取命令。

一个 LUN 至少包含一个页面寄存器和一个闪存阵列。

页面寄存器的数量取决于 LUN 支持的平面操作的数量。闪存阵列包含多个块。块是LUN闪存阵列中最小的可擦除数据单元。对 LUN 中的块数量没有限制。一个块包含若干页。页是用于读取和编程操作的最小可寻址单元。

每个LUN至少有一个页面寄存器。页寄存器用于在数据移动到闪存阵列内的页之前或从闪存阵列内的页移动之后临时存储数据。页面寄存器中的字节位置称为列

## 3.1地址

有两种地址类型：列地址和行地址。

列地址用于访问页面中的字节，即列地址是页面中的字节偏移量。对于DDR接口，列地址的最小有效位始终为0，即始终传输偶数字节。

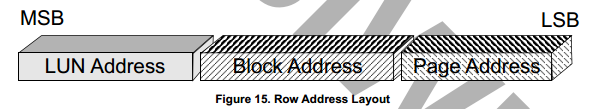
行地址用于寻址页、块和 LUN。

当列地址和行地址都需要发布时，列地址总是在一个或多个 8 位地址周期中首先发布。行地址随后在一个或多个 8 位地址周期中发出。有些功能可能只需要行地址，例如块擦除。在这种情况下，列地址不应被发出。

对于列地址和行地址，第一个地址周期总是包含最小有效地址位，最后一个地址周期总是包含最大有效地址位。

如果在列地址和行地址的最有效周期中存在未使用的位，则需要将其清零。

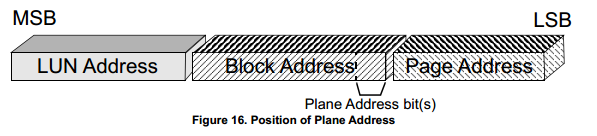
行地址结构如图15所示，最小有效行地址位在右侧，最有效行地址位在左侧。



页地址由最不重要的行地址位设置，LUN 地址由最重要的行地址位设置。块地址介于页地址和 LUN 地址之间。主机不得访问超出最大页地址或块地址的页地址或块地址。

### 3.1.1 Plane寻址

Plane地址由块地址的最低阶位组成，如图 16 所示。在特定 LUN 上执行双Plane命令序列时使用平面地址：在双Plane相关操作的地址设置序列中，Plane地址位应不同，而在双Plane相关操作的地址设置序列中，页面地址应保持不变。

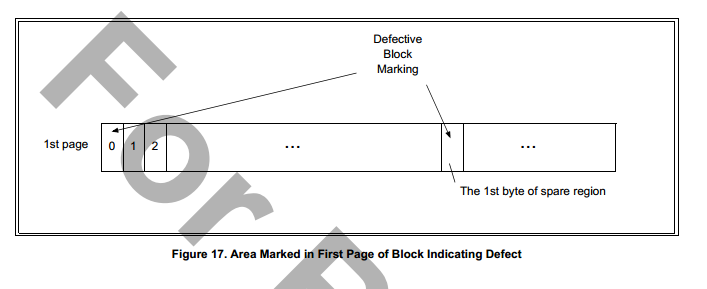


## 3.2坏块相关

### 3.2.1 设备要求

如果区块存在缺陷，制造商应将缺陷区块第一页的缺陷区块标记（如图 17 所示）设置为非FFh 值，从而将该区块标记为缺陷。

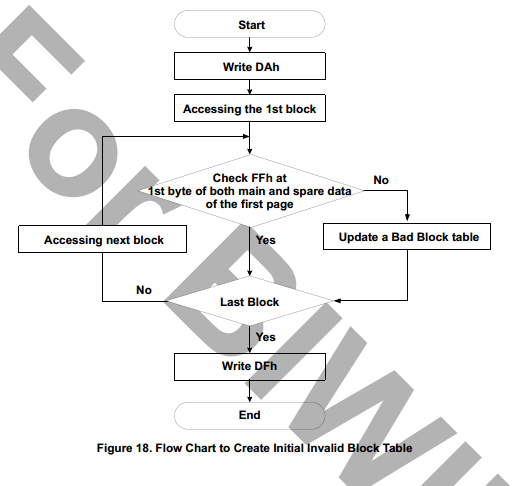
缺陷块标记位于块内页面中用户数据区的第一个字节或备用数据区的第一个字节上。



### 3.2.2 主机要求

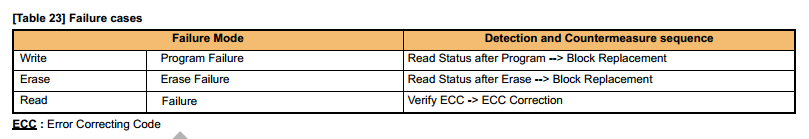
主机不得擦除或编程被制造商标记为有缺陷的块，任何这样的尝试都会产生不确定的结果。

图18概述了如何创建初始无效块表的流程图。在对目标执行任何擦除或编程操作之前，主机应在SLC模式下创建初始坏块表。在控制器启用ECC的情况下，非缺陷块中主区和备用区的第一个字节读为FFh。在块的第一页的 "缺陷块标记 "位置，大部分位的读数为非FFh，则表示块存在缺陷。在对每个块进行任何擦除或编程操作之前，主机应检查每个块第一页的缺陷块标记位置，以验证该块是否有效。

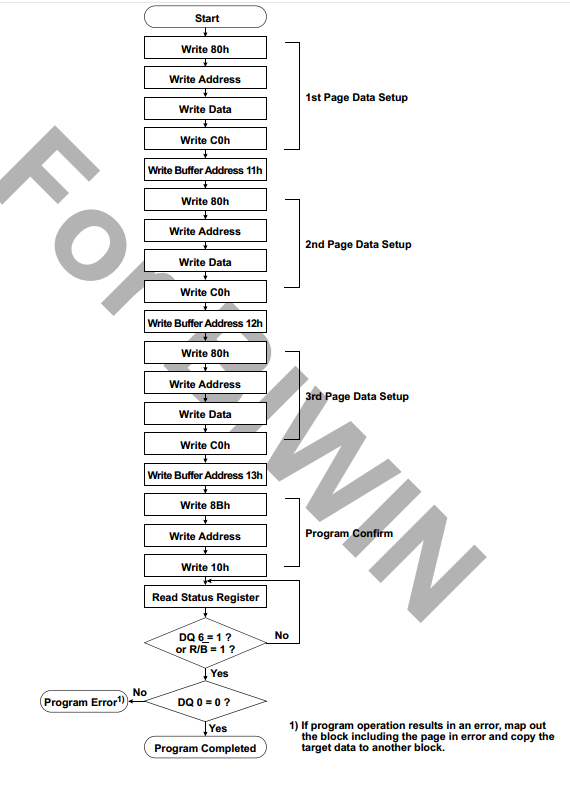
****

## 3.3 写入或读取操作错误

NAND闪存在其使用寿命内可能会出现额外的无效块。实际数据请参考鉴定报告。擦除或编程错误时应更换块。

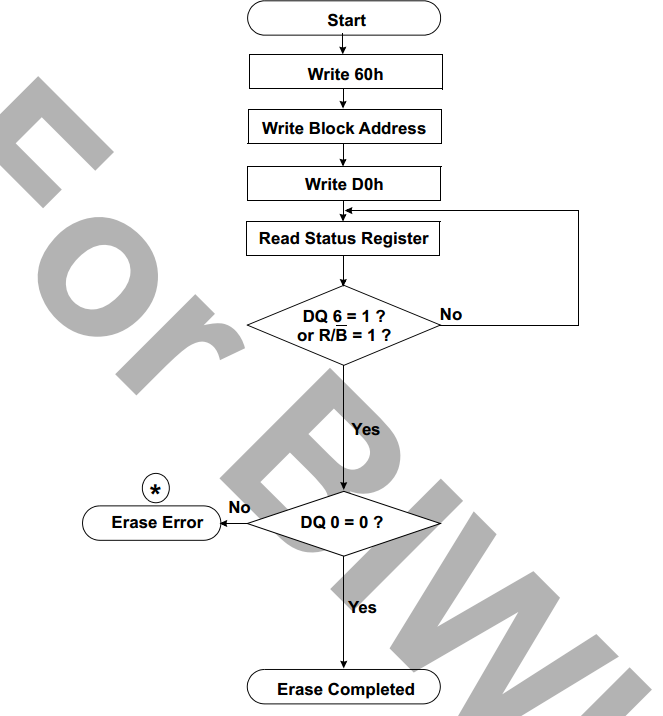


### TLC项目流程图



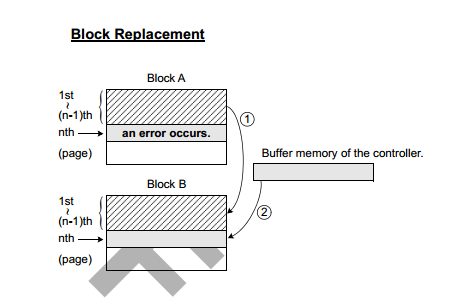
1. 如果程序操作导致错误，则映射出包括错误页面在内的块，并将目标数据复制到另一个块。

### 擦除流程图



：如果擦除操作导致错误，映射出擦除完成是故障块，并用另一个块替换它。

### 块置换



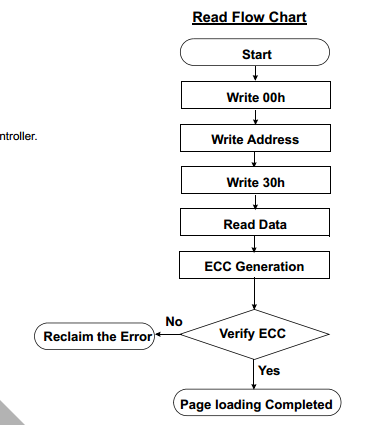
步骤1程序运行期间，块“A”的第n页发生错误时。

步骤2将A的第1~（n-1）页中的数据复制到另一个空闲块B的相同位置块

步骤3然后，将缓冲存储器中块A的第n页数据复制到块B的第n页面。

步骤4不要通过创建“无效块”表或其他适当的方案来擦除或编程到“A”。

### 读操作流程



## 3.4程序操作寻址

3bit/单元NAND具有以下编程特性。对一个WL的精细编程包括编程操作的3个步骤。每个编程操作必须存储3页的数据，即LSB、CSB和MSB，以同时形成8个编程状态。

000 001 010 011 100 101 110 111

TLC寻址和SLC寻址完全不同

# 四．功能说明

## 4.1数据保护和电源转换顺序

### 4.1.1数据保护

该设备设计用于在电源转换期间提供保护，防止任何非自愿编程/擦除。当VCC低于约2V时，内部电压检测器禁用所有内部编程/擦除电路。WP\_n引脚提供硬件保护，建议在电源转换期间保持在VIL。尽管编程/擦除的两步命令序列提供了保护，使其免受无意命令输入的任何操作的影响，但将CLE和ALE保持在VIL可以防止在电源转换期间断言的任何虚假命令。

强烈建议将CE保持在VIH，以防止在电源转换期间出现不必要的电流消耗。

### 4.1.2上电顺序

对于支持VCCQ作为I/O电源的NAND器件，在上电期间VCCQ不得超过VCC。主机必须等待R/B为有效的高电平，然后才能发出Reset命令（FFh）来初始化共享同一CE的任何目标。由于Vcc 2.35V和VccQ 1.14V为1.2VccQ，R/B\_n信号在100us后变为有效。在NAND器件通电且R/B\_n变为有效后，必须向所有目标发出RESET命令（FFh）作为第一个命令。在RESET命令（FFh）发出后，每个目标（CE\_n）将忙碌最多5ms。RESET忙时间可以通过轮询R/B或发出READ STATUS（70h）命令来监控。在设备通电后执行第一个RESET命令（FFh）之前的1ms内，每个NAND LUN（即裸片）的电流可能小于10mA。在包括RESET繁忙时间在内的通电序列中，每个LUN消耗的最大电流为50mA

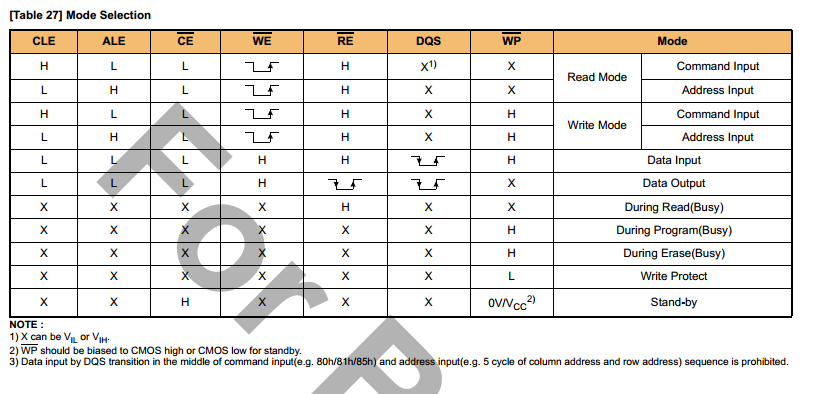
当VCC被启用时，VCCQ在上电期间开始被启用，主机应开始升高VREFQ。在发布FFh之前，应完全设置VREFQ。

## 4.2模式选择

表27描述了Toggle DDR的总线状态。命令、地址和数据都通过DQ写入，使WE为低，而CE为低。

这些都被锁定在WE的上升边缘。命令锁存器使能（CLE）和地址锁存器启用（ALE）分别用于通过DQ引脚多路传输命令和地址。

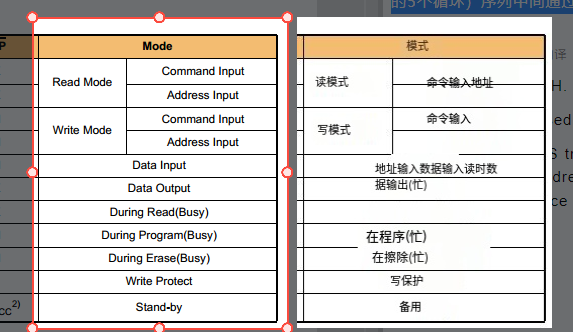
主机使用DQS信号读取数据或将数据写入设备。并且数据在数据输入的DQS的下降沿和上升沿被锁存。



1） X可以是VIL或VIH。

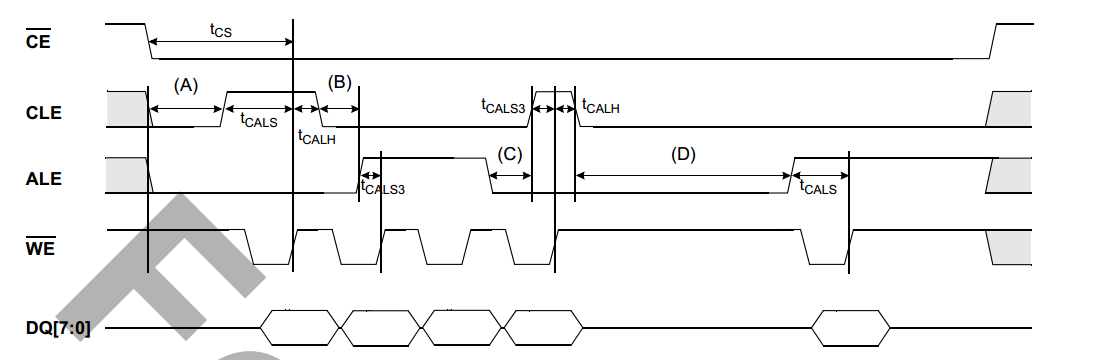
2） WP应偏置到CMOS高或CMOS低以备备用。

3） 禁止在命令输入（如80h/81h/85h）和地址输入（如列地址和行地址的5个循环）序列中间通过DQS转换输入数据



## 4.3一般时间安排

Toggle 4.0规范支持tCALS3进行高速命令/地址输入操作。只有当CLE和ALE的前一个“低”持续时间小于10ns时，才允许tCALS3来代替tCALS作为nWE上升沿的CLE/ALE设置时间

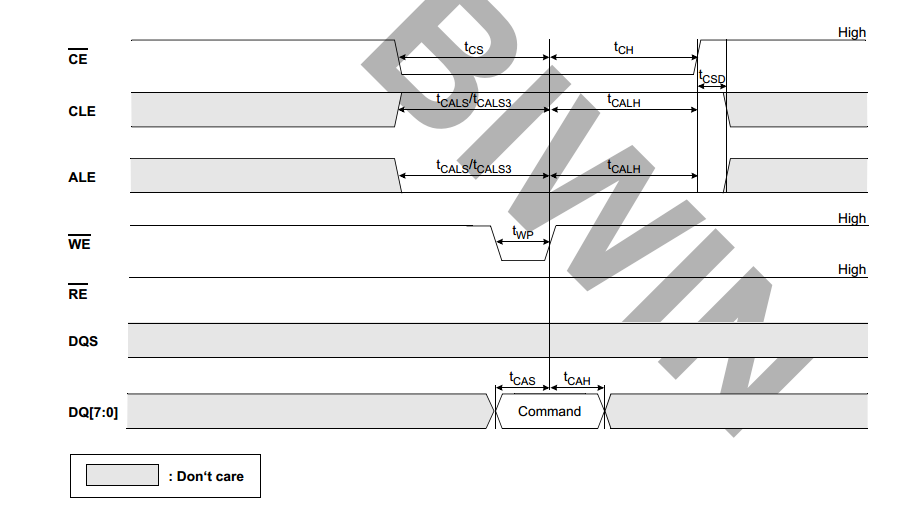


注：（A）、（B）、（C）、（D）是CLE和ALE的“低”持续时间。

假设（A）、（D）大于10ns，则下一CLE/ALE设置时间应该是tCALS。

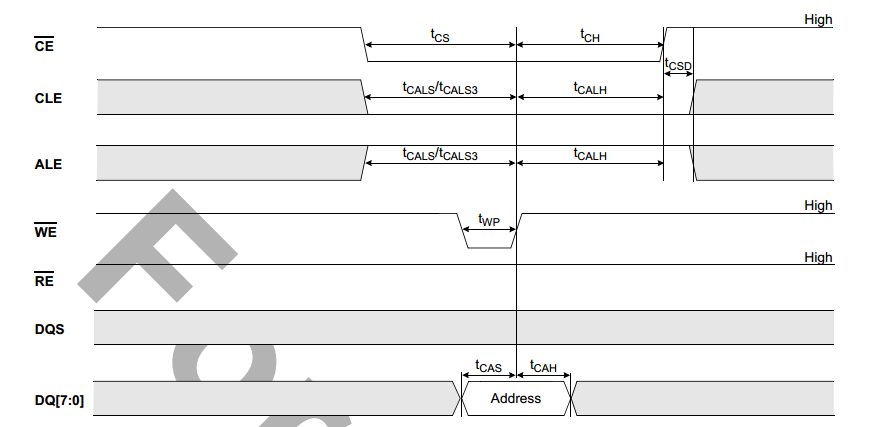
假设（B）、（C）小于10ns，则下一CLE/ALE建立时间可以是tCALS3。

### 4.3.1命令锁存周期



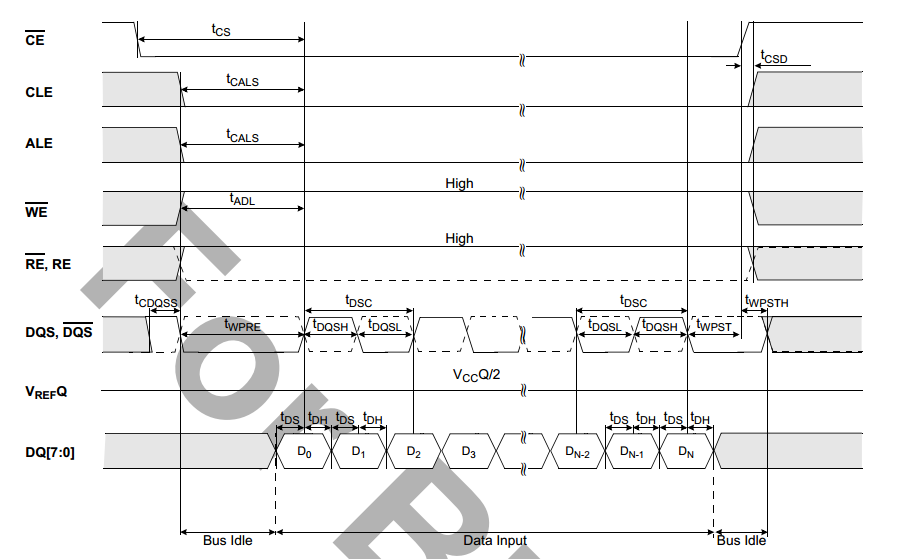
1. 当CE为“Low”，CLE为“High”，ALE为“Low（低）”时，通过WE变为“High（高）”来锁存命令信息。

### 4.3.2地址锁存周期



1. 当CE为“Low”，CLE为“Low（低）”，ALE为“High（高）”时，地址信息由WE变为“High”来锁存。

### 4.3.3基础数据输入时机



注：1）当CE和DQS变为“低”时，DQS、DQS和数据输入缓冲器开启，数据输入以DQS和DQS同时切换开始。

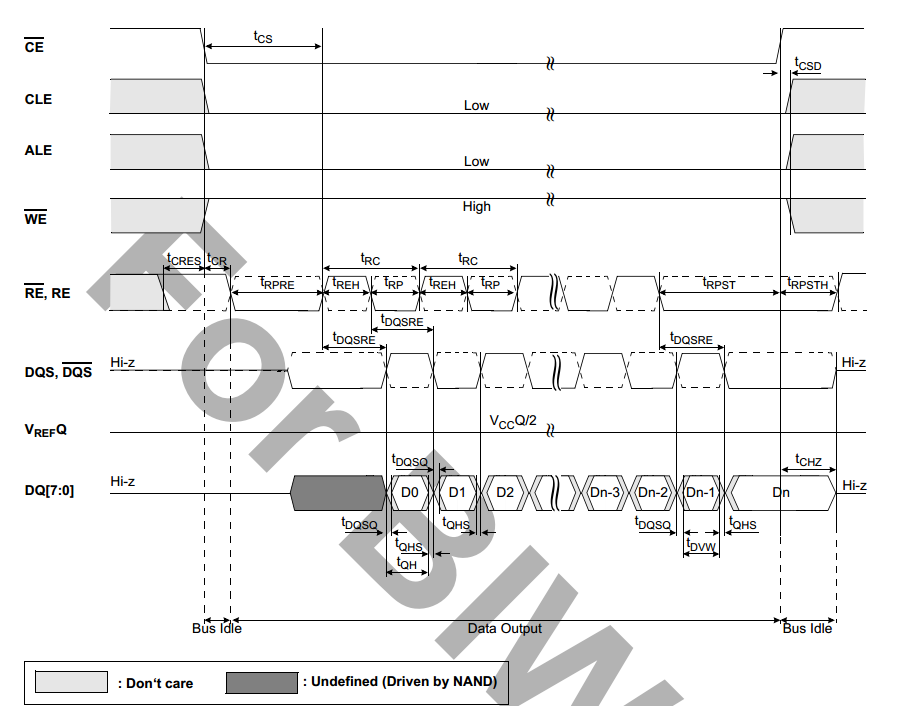
2） ALE和CLE不应在tWPRE期间和tCALS期间切换。

3） 如果CLE或CE变为“高”，DQS和数据输入缓冲器将关闭。

4） tCDQSS是根据诸如CE、CLE和ALE的控制信号的最后数据输入条件来定义的。

5） 在tCDQSS期间，DQS可以是高电平或低电平

### 4.3.4基础数据输出时序Basic Data Output Timing



1） 当CE和RE变为低以进行数据输出操作时导通DQS、DQS和DQ驱动器。

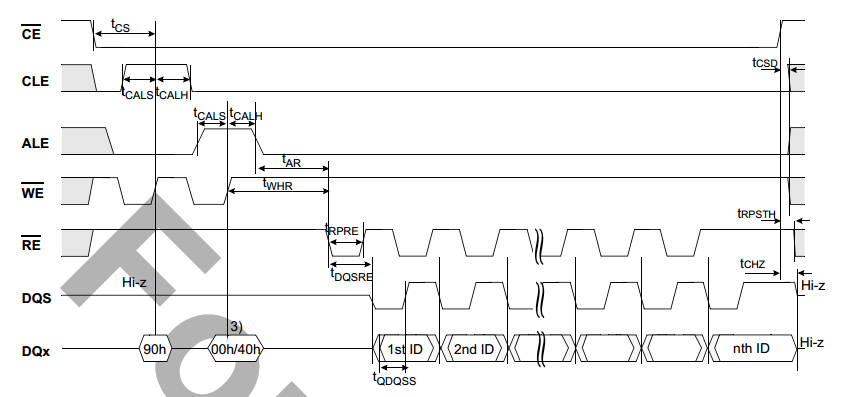
2） 无论tCALS如何，ALE和CLE都不应在tRPRE期间切换。

3） 如果CLE或CE变高，则DQS和DQ驱动器从有效值变为高z。

4） 列地址的最低有效位应始终为零。

5） 在tCRES期间RE应为高

### 4.3.5 Read ID Operation

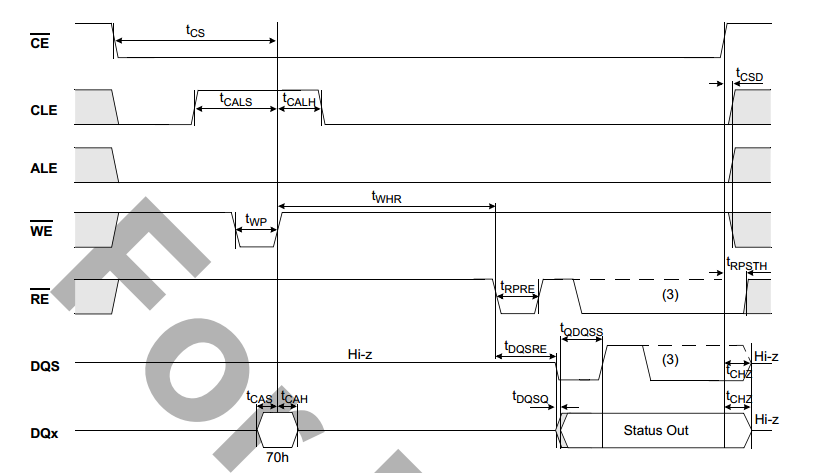


注：1）即使切换模式NAND同时使用DQS的低沿和高沿进行读取，ID读取操作也会将每个数据字节重复两次，因此ID读取时序与传统NAND的时序相同。

2） 当CE或CLE变为高时，DQS和DQ驱动器从有效值变为高z。

3） 地址00h用于Samsung conventional，40h用于新的JEDEC ID信息。

### 4.3.6读取状态周期

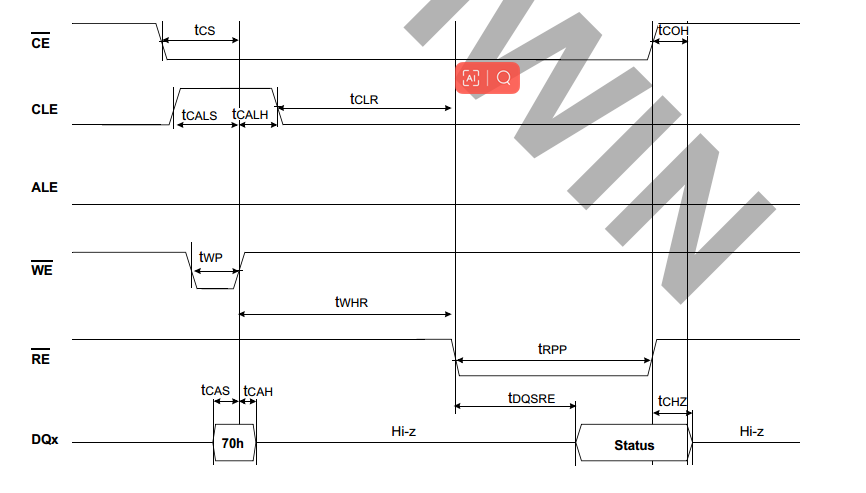


注：1）即使切换模式NAND使用DQS的低沿和高沿进行读取，读取状态操作7也会输出相同的输出，直到设备状态发生变化。

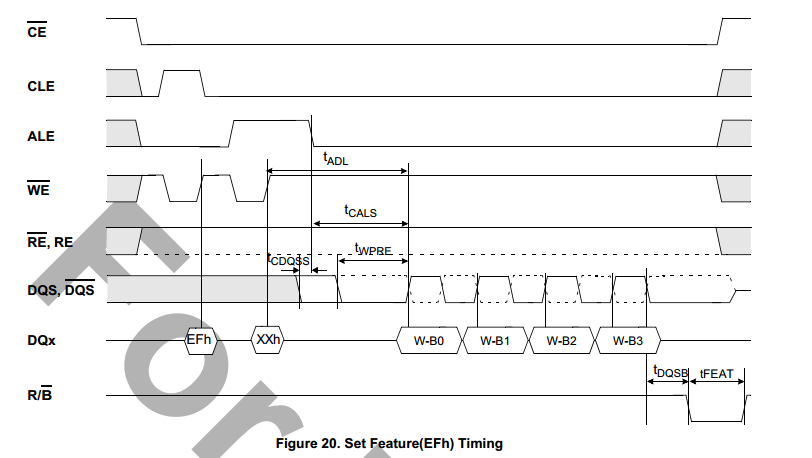
2） 当CE或CLE变为高时，DQS和数据输出缓冲器从有效值变为高z。

3） RE可以切换不止一次

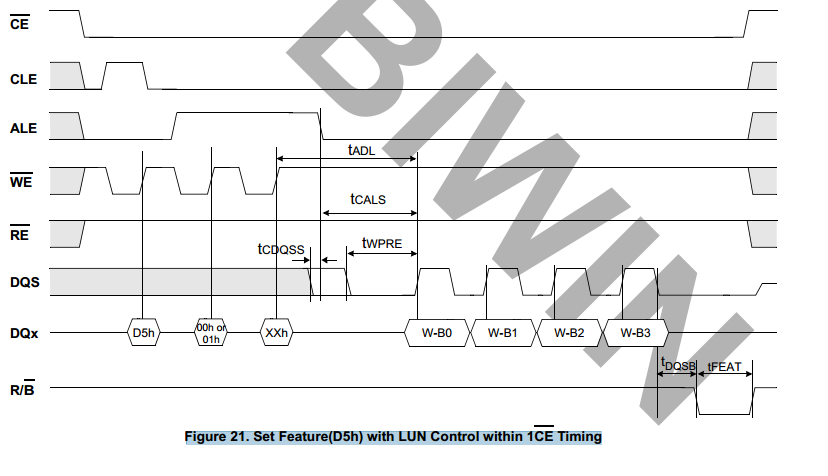
#### 4.3.6.1通过FFh命令在初始化序列切换DDR设置之前读取状态循环



### 4.3.7设置特征

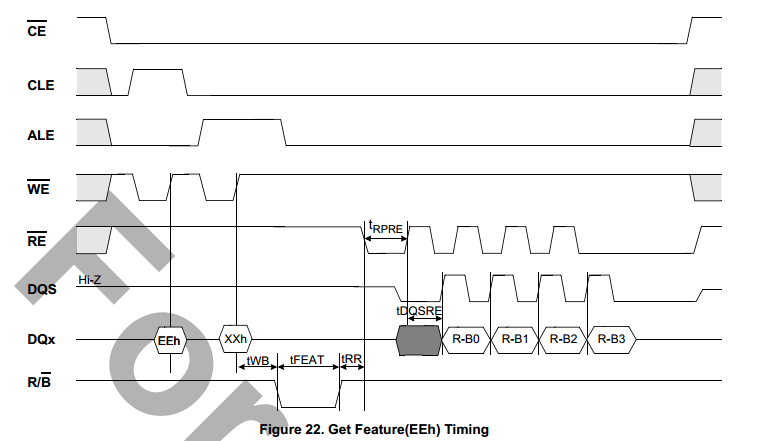


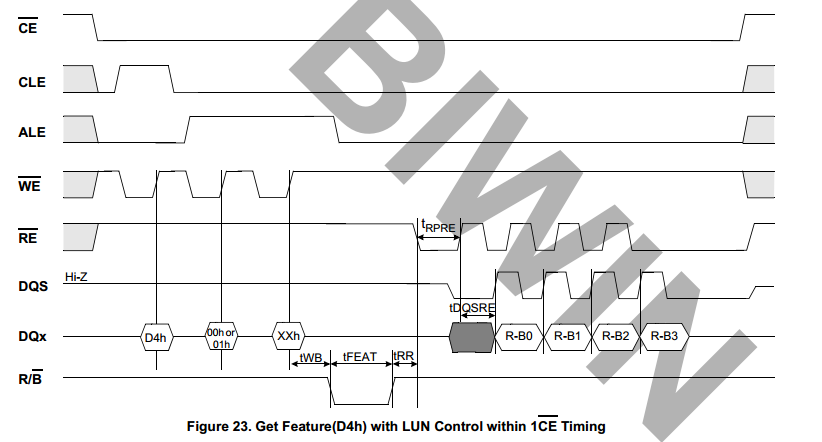
设置功能（EFh）计时



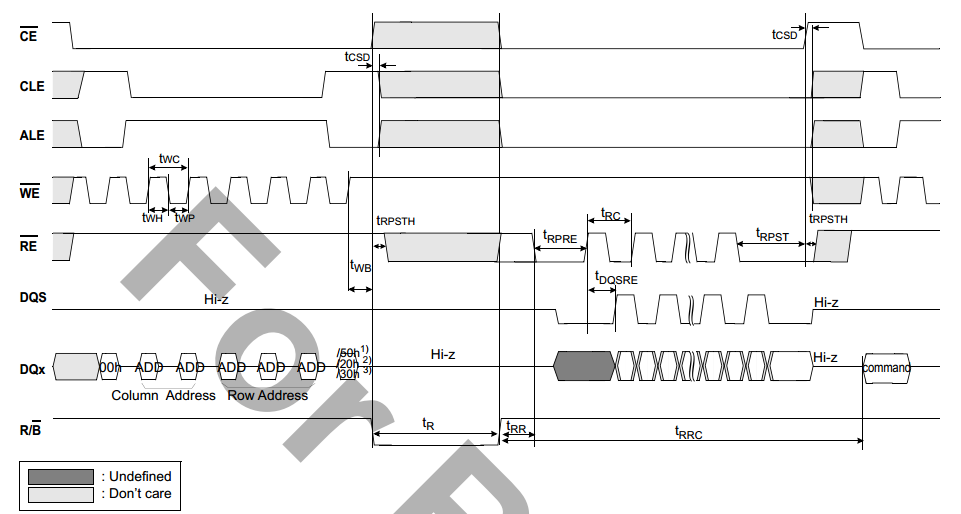
在1CE时间内设置具有LUN控制的功能（D5h）

### 4.3.8获取特征





### 4.3.9页面读取操作：4KB/8KB/16KB



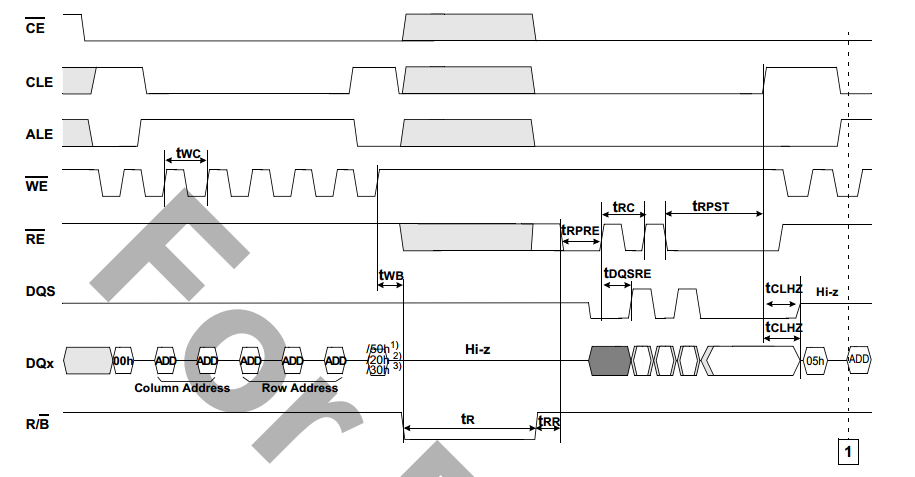
1） 4KB读取命令。

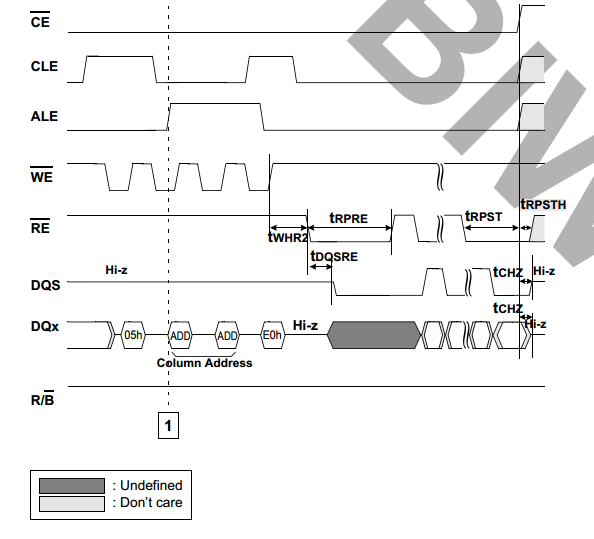
2） 8KB读取命令。

3） 16KB读取命令。

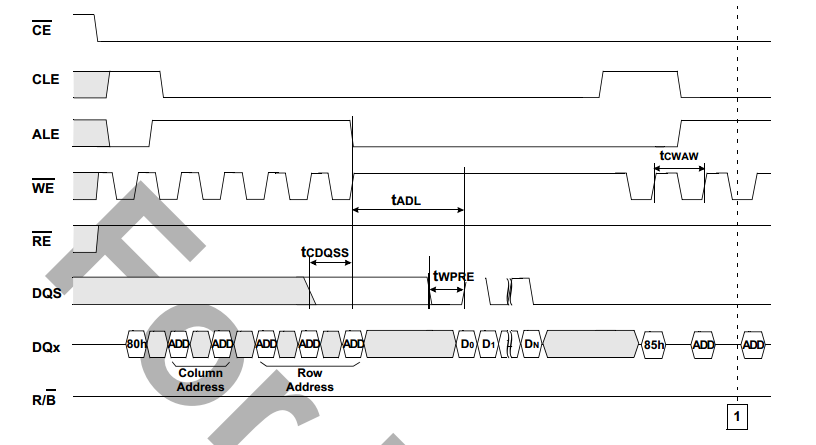
4） CE一旦被解除断言，在再次被断言之前，它应保持高电平至少35ns。

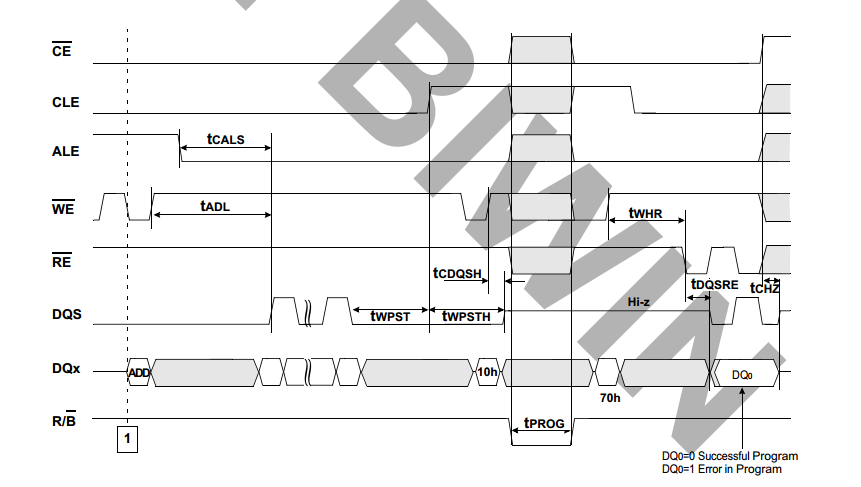
### 4.3.10具有随机数据输出操作的页面读取操作





### 4.3.11具有随机数据输入操作的页面编程操作





## 4.5交流定时特性

### 4.5.1时序参数说明

### 4.5.2时序参数表

### 4.5.3读取/编程/擦除特性

扫两眼，用的时候看

# 五．命令操作\*\*\*\*重点

## 5.1基本命令集

切换DDR NAND闪存具有多路复用到8个I/O中的地址。当CE为低电平时，通过使WE为低电平，命令、地址和数据全部通过DQ[7:0]写入。这些都被锁定在WE的上升边缘。命令锁存器使能（CLE）和地址锁存器启用（ALE）分别用于通过DQ[7:0]引脚多路传输命令和地址。

应用于特定页面或块的命令通常具有第二个命令，而应用于目标或LUN的命令仅具有第一个命令。

命令看excel